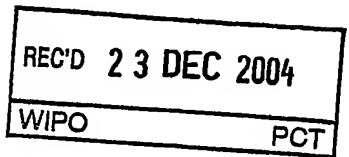


02.11.2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 0 月 3 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 3 7 1 6 4 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 3 7 1 6 4 0 ]

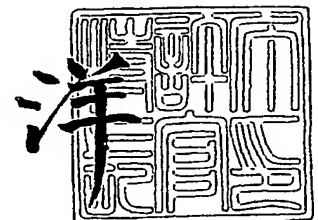
出 願 人            株式会社イデアルスター  
Applicant(s):

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 1 2 月    9 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 IDEAL0031  
【提出日】 平成15年10月31日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 31/00  
【発明者】  
    【住所又は居所】 宮城県仙台市泉区虹の丘4丁目11番地の12  
    【氏名】 笠間 泰彦  
【発明者】  
    【住所又は居所】 宮城県仙台市泉区住吉台東5丁目13-18  
    【氏名】 表 研次  
【特許出願人】  
    【識別番号】 502344178  
    【氏名又は名称】 株式会社イデアルスター  
【代理人】  
    【識別番号】 100088096  
    【弁理士】  
    【氏名又は名称】 福森 久夫  
    【電話番号】 03-3261-0690  
【手数料の表示】  
    【予納台帳番号】 007467  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0213743

**【書類名】 特許請求の範囲****【請求項 1】**

配線領域により電気的に接続した複数の第一の線状素子と複数の第二の線状素子からなるイメージセンサー。

**【請求項 2】**

前記第一の線状素子、及び前記第二の線状素子を形成する複数の断面が長手方向に連続的又は間欠的に形成されていることを特徴とする請求項 1 記載のイメージセンサー。

**【請求項 3】**

前記第一の線状素子、及び前記第二の線状素子の断面形状が、円形、多角形、星型、三日月、花卉、文字形状その他の任意形状を有していることを特徴とする請求項 1 または 2 のいずれか 1 項記載のイメージセンサー。

**【請求項 4】**

前記第一の線状素子が、断面内にゲート電極、ゲート絶縁体領域、ソース領域、ドレイン領域、半導体領域が形成されている線状MISFETからなり、前記第二の線状素子が、断面内にカソード領域とアノード領域が形成されている線状フォトダイオードからなることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載のイメージセンサー。

**【請求項 5】**

前記線状MISFETが、線状体断面の中心に前記ゲート電極を有し、その外側に前記ゲート絶縁体領域、前記ソース領域、前記ドレイン領域、前記半導体領域が順次形成されており、互いに離間した前記ソース領域と前記ドレイン領域とが前記ゲート絶縁体領域に接触して配置されている回路領域からなるMISFETであることを特徴とする請求項 4 記載のイメージセンサー。

**【請求項 6】**

前記線状MISFETが、線状体断面の中心に前記ゲート電極を有し、その外側に前記ゲート絶縁体領域、開口部を有する前記ソース領域、前記半導体領域、前記ドレイン領域が順次形成されており、前記ドレイン領域が前記ソース領域の開口部に接する前記半導体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項 4 記載のイメージセンサー。

**【請求項 7】**

前記線状MISFETが、線状体断面の中心に前記ゲート電極を有し、その外側に前記ゲート絶縁体領域、開口部を有する前記ドレイン領域、前記半導体領域、前記ソース領域が順次形成されており、前記ソース領域が前記ドレイン領域の開口部に接する前記半導体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項 4 記載のイメージセンサー。

**【請求項 8】**

前記線状フォトダイオードが、線状体断面の中心に前記アノード領域を有し、その外側に前記カソード領域が形成されている回路領域からなるフォトダイオードであることを特徴とする請求項 4 記載のイメージセンサー。

【書類名】 明細書

【発明の名称】 イメージセンサー

【技術分野】

【0 0 0 1】

本発明は、線状体に形成したMISFETとフォトダイオードにより構成されるイメージセンサーに関する。

【背景技術】

【0 0 0 2】

イメージセンサーは、光エネルギーを電気エネルギーに変換するフォトダイオードと、発生した電気エネルギーを蓄積し、電気信号として取り出すMISFETから構成され、フォトダイオードとMISFETを組み合わせた画素を、一次元、あるいは二次元に配列して、画素が検知した光を電氣的な画像信号として取り出す機能を持つ。

【0 0 0 3】

図 7 (a) は、従来のイメージセンサーを構成する平面状MISFET及びフォトダイオードの断面図であり、(b) は、イメージセンサーの回路図の一部であり、(c) は、(b) に対応する従来のイメージセンサーの平面図である。シリコンなどからなるP型の平面基板 1 0 1 上に、ゲート電極 1 0 6、ゲート絶縁膜 1 0 5、N型のソース領域 1 0 3、N型のドレイン領域 1 0 4 から構成されたMISFETと、P型の平面基板 1 0 1 からなるアノードと、N型のカソード領域 1 0 9 から構成されたフォトダイオードが形成されている。

【0 0 0 4】

図 7 (b) は、イメージセンサーの回路図であり、図 7 (c) は、図 7 (b) に示す回路図に対応する従来のイメージセンサーの平面図である。図 7 (b) のフォトダイオード 1 1 2、MISFET 1 1 3 は、それぞれ、図 7 (c) のパターン 1 1 6、パターン 1 1 7 に対応し、また、図 7 (b) の垂直選択線 1 1 4 は、図 7 (c) のゲート配線を兼ねたゲート電極に対応する。さらに、図 7 (b) の垂直信号線 1 1 5 は、図 7 (c) のドレイン配線 1 1 9 に対応する。基板 1 0 1 を接地電位に接続することで、各フォトダイオードのアノードは接地電位に接続される。フォトダイオードを構成するPN接合に光が照射されると、電子正孔対が発生し、発生した電子は、N型のカソード領域を通してMISFETのソース領域 1 0 3 に蓄積される。蓄積された電子は、MISFETがゲート電圧の制御によりONになると、ドレイン配線を通してイメージセンサーの出力回路に転送される。

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 5】

従来のイメージセンサーは、シリコン基板などリジッドで平面状の基板に形成されていた。そのため、形状に柔軟性がなく、応用が限定されるという問題があった。また、複数の回路素子を平面上に連続して形成しているため、少なくとも一個の回路素子が不良になれば、不良部分だけ良品と交換することができず、装置全体が不良になる。そのため、すべての回路素子を欠陥なく製造するために、プロセスのクリーン度向上などプロセス管理を極めて厳密に行う必要があり、特に、装置を大型化しようとする、歩留まり向上の難しさが加速的に増加するという問題があった。

【課題を解決するための手段】

【0 0 0 6】

本発明に係るイメージセンサーは、イメージセンサーを構成するMISFET、フォトダイオードなどの回路素子が長手方向に連続的又は間欠的に形成されている線状素子であることを特徴とする。

【発明の効果】

【0 0 0 7】

本発明によれば、形成した線状素子を布状に織る、または編むことにより、平面状のイメージセンサーを作製したり、線状素子を束ねて線状のイメージセンサーを作製することが可能になる。そのため、以下に述べる効果が得られる。

## 【0008】

(1) 線状素子を織る、あるいは編むことにより作製した平面状のイメージセンサーは、柔軟性があり軽いため、イメージセンサーの軽量化や、耐久性の向上に効果がある。

(2) 線状素子を束ねることにより作製した線状のイメージセンサーは、柔軟性があり軽いため、ファイバースコープなどの線状装置に組み込んで使用される撮像素子として多様な用途がある。

(3) 線状の素子を組み合わせ、イメージセンサーを作製できるので、製造設備の規模によらない大型のイメージセンサーを製造できる。

(4) 複数の線状素子を用いてイメージセンサーを作製する場合に、各線状素子を検査して、選別した良品だけ用いてイメージセンサーを製造できる。もしくは、イメージセンサーを製造してから、検査を行い、不良部の線状素子だけを交換することもできるので、イメージセンサーを大型化した場合に、特にプロセス管理を厳密にしなくても、集積回路の歩留まりを向上できる。

(5) 線状素子上に長手方向に間欠的に複数のMISFETを形成する場合に、ゲート電極を中心に配置すれば、ゲート電極を共通とする複数のMISFETからなる回路の形成が容易になる。イメージセンサーのようなゲート電極を共通とする複数のMISFETからなる回路の形成は、線状素子を用いれば長手方向に共通の電極を用いた回路を形成できるので、配線の構造が単純になり、配線層の数を減らしたり、集積度のより低いプロセスを使用できるので、イメージセンサーの製造工程上有利である。

(6) イメージセンサーを構成する線状素子の電極や配線領域として使用される導電性材料に、アルカリ金属内包フラーレン、又はアルカリ金属内包フラーレンをドーブした有機材料を使用することにより、電極、あるいは配線領域の導電性を向上することができる。

【発明を実施するための最良の形態】

## 【0009】

図4は、本発明のイメージセンサーの斜視図である。本発明のイメージセンサーは、受光面側に配置した複数の線状フォトダイオード71、線状フォトダイオード71に隣接して配置した複数の線状MISFET72、及び画像信号を転送する垂直信号線73から構成される。

## 【0010】

線状フォトダイオード71は、線状体上に複数のフォトダイオードが絶縁分離領域により分離されて間欠的に形成されている。ただし、各フォトダイオードの断面中心に配置されたアノード領域は、線状体において連続しており、接地電位に接続している。

## 【0011】

線状MISFET72は、線状体に複数のMISFETが絶縁分離領域により分離されて間欠的に形成されている。線状MISFETにおいても、断面中心のゲート領域は、線状体において連続しており、MISFETの制御信号線である垂直選択線に接続している。

## 【0012】

線状フォトダイオード71のアノード領域のまわりに配置されたカソード領域はカソード電極、ソース電極を介して、隣接配置されたMISFETにおけるソース領域と接続している。また、線状MISFET72のドレイン領域は、ドレイン電極、ドレインコンタクト74を介して、垂直信号線73に接続している。

## 【0013】

ドレインコンタクト74は、図4の中では、便宜上、黒丸と線で接続しているように書いてあるが、実際のイメージセンサーにおける接続は、本発明の明細書において後述する配線形成方法を用いて、光反応性有機材料などからなる導電性材料により電氣的に接続する。

【実施例】

## 【0014】

(イメージセンサー)

図1は、イメージセンサーの基本構成を説明するための回路図である。図1に示すイメー

ジセンサーは、フォトダイオード3とN型の垂直スイッチMISFET4からなる画素が二次元状に配置された画素アレイと、垂直走査回路1、水平走査回路2、水平スイッチMISFET7、出力アンプ8からなる周辺回路から構成される。

#### 【0015】

フォトダイオードを構成するPN接合に光が照射されると、電子正孔対が発生し、発生した電子は、N型のカソード領域を通して、フォトダイオードに接続した垂直スイッチMISFET4のソース領域に蓄積される。垂直スイッチMISFET4を制御する垂直走査回路1はシフト・レジスターとして機能し、複数の垂直選択線5における一本の選択線がクロックなどの制御信号に同期して順にHighになる。Highになった選択線にゲート電極が接続されたMISFETはONになる。同様に、水平走査回路2の制御により、複数の水平スイッチMISFET7の中から一つのMISFETがONになる。垂直スイッチMISFETと水平スイッチMISFETが同時にONになった垂直MISFETのソース領域に蓄積された電子が、出力アンプ8に送られ出力線9から出力される。

#### 【0016】

以上の説明において、画素を構成するMISFETがN型MISFETの場合について説明したが、P型MISFETの場合でも、イメージセンサーを実現することは可能である。例えば、半導体材料によっては電子よりも正孔の移動度が大きい有機半導体を用いたMISFETを使用しても本発明のイメージセンサーを実現することができる。

#### 【0017】

また、図1に示すように、イメージセンサーは、画素を構成するMISFETとフォトダイオード以外に、垂直走査回路1、水平走査回路2、水平スイッチMISFET7、出力アンプ8から構成されるが、これらの回路に関しても、線状素子を用いて形成することが可能である。

#### 【0018】

(線状素子)

図2は本発明のイメージセンサーを構成する線状フォトダイオードと線状MISFETの斜視図である。線状フォトダイオード11は、一本の線状体の中に複数のフォトダイオードが間欠的に形成されている。同様に、線状MISFET12は、一本の線状体の中に複数のMISFETが間欠的に形成されている。

#### 【0019】

線状フォトダイオードの断面において、中心にP型半導体領域からなるアノード領域15を有し、その外側に、N型の半導体領域からなるカソード領域16、絶縁体領域18、カソード電極17が形成されている。絶縁体領域18は、検知する光を透過する材料からなり、アノード領域15とカソード領域16からなるPN接合が光を検知できるように形成する。線状フォトダイオードの長手方向においては、素子領域13と絶縁分離領域14が順に形成されており、絶縁分離領域14により、各フォトダイオードのカソード領域16とカソード電極17が電氣的に分離されている。一方、アノード領域15は、線状体の中心に連続して形成されている。

#### 【0020】

線状MISFETの断面において、中心にゲート電極23を有し、その外側に、ゲート絶縁体領域24、ソース領域25、ドレイン領域26、半導体領域27、28が形成されている。さらに、その外側に、ソース電極29、ドレイン電極30、絶縁体領域31が形成されている。ソース電極29は、ソース領域25よりも円周方向に大きく形成してあり、ソース領域25と接するだけでなく半導体領域27、28とも接しているが、このことにより、ソース電極29とソース領域25、半導体領域27、28との電氣的な接続を行い、半導体領域27、28の電位をソース電極29と同じ電位にすることができる。一方、ドレイン電極30は、ドレイン領域26よりも円周方向に小さく形成してあり、ドレイン電極30と半導体領域27、28の短絡を防止している。

#### 【0021】

線状体の長手方向において、線状フォトダイオードの素子領域13、カソード電極19、線状MISFETの素子領域21、及び、ソース電極28は、同じ長さとするのが好ましい。

また、線状フォトダイオードの絶縁分離領域20と線状MISFETの絶縁分離領域22は、同じ長さとするのが好ましい。線状体を位置合わせしてから、隣接して接触、あるいは接着させるだけで、対になるフォトダイオードとMISFETを電氣的に接続することができ、イメージセンサーの製造が容易になる。

#### 【0022】

図3(a)は、図2における線状MISFETの素子領域21における断面図であり、図2において、すでに線状MISFETの断面図として説明してある。図3(b)は、図2における絶縁分離領域22における断面図である。ゲート電極51を中心に、絶縁体領域52、53、54が順次形成されており、絶縁分離領域22をMISFETの素子領域21の間に配置することで、各MISFETを電氣的に分離している。

#### 【0023】

図3(c)は、図2における線状フォトダイオードの素子領域13における断面図であり、図2において、すでに線状フォトダイオードの断面図として説明してある。図3(d)は、図2における絶縁分離領域14における断面図である。アノード領域59を中心に、絶縁体領域60、61が順次形成されており、絶縁分離領域14をフォトダイオードの素子領域13の間に配置することで、各フォトダイオードを電氣的に分離している。

#### 【0024】

図3(e)は、線状素子断面の中心にゲート電極62を配置して、その外側にゲート絶縁体領域63、ソース領域64、半導体領域65、ドレイン領域66、絶縁体領域67を順次形成した線状MISFETである。図3(e)に示す線状MISFETは、ソース領域64が開口部を有し、開口部上の半導体領域65に接してドレイン領域66が形成されている。そのため、チャネル長を半導体領域65の厚さにより制御できる。従って、チャネル長の微細化が容易で、イメージセンサーの小型化、高速化が可能になる。また、図3(e)において、ソース領域をドレイン領域、ドレイン領域をソース領域と置き換えた構造の線状素子も、MISFETとして正常に動作し、本発明のイメージセンサーを構成することができる。

#### 【0025】

以上の説明では、光電変換素子としてフォトダイオードを用い、X-Y平面における画素の信号を垂直走査回路、水平走査回路などのデジタル・シフト・レジスターにより選択して取り出す方式におけるイメージセンサーについて説明したが、光電変換素子としてSITを用いた場合や、光電変換素子の信号をCCDによるアナログ・シフトレジスターにより出力回路に転送する方式を用いた場合についても、SITあるいはCCDを線状素子により形成することにより本発明の効果が得られることは明らかである。

#### 【0026】

(線状素子の形状)

本発明における線状素子における外径は、10mm以下が好ましく、5mm以下がより好ましい。1mm以下が好ましく、10μm以下がさらに好ましい。延伸加工を行うことにより1μm、さらには0.1μm以下とすることも可能である。

#### 【0027】

1μm以下の外径を有する極細線状体を型の孔から吐出させて形成しようとする場合には、孔のつまりが生じたり、糸状体の破断が生ずる場合がある。かかる場合には、各領域の線状体をまず形成する。次にこの線状体を島として多くの島を作り、その周囲(海)を溶性のもので取り巻き、それをロート状の口金で束ねて、小口から一本の線状体として吐出させればよい。島成分を増やして海成分を小さくすると極めて細い線状体素子をつくることができる。

#### 【0028】

他の方法として、一旦太めの線状体素子をつくり、その後長手方向に延伸すればよい。また、熔融した原料をジェット気流に乗せてメルトブローして極細化を図ることも可能である。

#### 【0029】

また、アスペクト比は、押出形成により任意の値とすることができる。紡糸による場合に

は糸状として1000以上が好ましい。例えば100000あるいはそれ以上も可能である。切断後使用する場合には、10~10000、10以下、さらには1以下、0.1以下として小単位の線状素子としてもよい。

#### 【0030】

線状素子の断面形状は特に限定されない。例えば、円形、多角形、星型その他の形状とすればよい。例えば、複数の頂角が鋭角をなす多角形状であってもよい。

また、各領域の断面も任意にすることができる。素子により、隣接する層との接触面を大きくとりたい場合には、頂角が鋭角となっている多角形状とすることが好ましい。

なお、断面形状を所望の形状とするには、押出しダイスの形状を該所望する形状のものとすれば容易に実現することができる。

最外層の断面を星型あるいは頂角が鋭角をなす形状とした場合、押出し形成後、頂角同士の間の空間に、例えば、ディッピングにより他の任意の材料を埋め込むことができ、素子の用途によって素子の特性を変化させることができる。

#### 【0031】

なお、半導体層へ不純物をドーピングしたい場合は、熔融原料中に不純物を含有せしめておいてもよいが、押出し形成後、真空室内を線状のまま通過させ、真空室内で例えばイオン注入法などにより不純物をドーピングしてもよい。半導体層が最外層ではなく内部に形成されている場合には、イオン照射エネルギーを制御することにより内層である半導体層のみにイオン注入すればよい。

#### 【0032】

上記製造例は、複数の層を有する素子を押出しにより一体形成する例であるが、素子の基本部を押出しにより線状に形成し、その後該基本部に適宜の方法により被覆を施すことにより形成してもよい。

#### 【0033】

(原材料)

電極、半導体層、配線などの材料としては、導電性高分子を用いることが好ましい。

例えば、ポリアセチレン、ポリアセン、(オリゴアセン)、ポリチアジル、ポリチオフェン、ポリ(3-アルキルチオフェン)、オリゴチオフェン、ポリピロール、ポリアニリン、ポリフェニレン等が例示される。これらから導電率などを考慮して電極、あるいは半導体層として選択すればよい。

#### 【0034】

なお、半導体材料としては、例えば、ポリパラフェニレン、ポリチオフェン、ポリ(3-メチルチオフェン)などが好適に用いられる。

#### 【0035】

また、ソース・ドレイン材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いればよい。n型とするためには、例えば、アルカリ金属(Na、K、Ca)などを混入せしめればよい。AsF<sub>5</sub>/AsF<sub>3</sub>やClO<sub>4</sub><sup>-</sup>をドーパントとして用いる場合もある。

#### 【0036】

また、電極や配線などの導電性材料として、上記導電性高分子にアルカリ金属内包フラーレン、又はアルカリ金属内包フラーレンをドーピングした有機材料を使用することも可能であり、電極、あるいは配線領域の導電性を向上することが可能である。

#### 【0037】

(線状素子の製造装置、製造方法)

図5(a)は、線状素子の製造に用いられる押出し装置を示す正面図である。

#### 【0038】

押出し装置81は、複数の領域を構成するための原料を熔融状態あるいは溶解状態、あるいはゲル状態で保持するための原料容器82、83、84を有している。図5(a)に示す例では、3個の原料容器を示しているが、製造する線状素子の構成に応じて適宜設ければよい。



## 【0039】

原料容器内の原料は、型 85 に送られる。型 85 には、製造しようとする線状素子の断面に応じた射出孔が形成されている。射出孔から射出された線状体は、ローラ 87 に巻き取られるか、あるいは必要に応じて次の工程に線状のまま送られる。

## 【0040】

図 2 及び図 3 に示す構造の線状素子を製造する場合には図 5 (a) に示すような構成が取られる。

## 【0041】

原料容器 82、83、84 には、ゲート電極材料、ゲート絶縁体領域材料、ソース、ドレイン材料、半導体材料が、それぞれ、熔融あるいは溶解状態、ゲル状態で保持されている。一方、型 85 には、それぞれの材料容器に連通させて、孔が形成されている。

## 【0042】

型 85 は、図 5 (b) に示すように、中心部には、ゲート電極材料を射出するための複数の孔が形成されている。その外側周辺には、ゲート絶縁体領域材料を射出させるための複数の孔が形成されている。そしてその外周にさらにソース、ドレイン材料、半導体材料を射出するための複数の孔が形成されている。ただし、型 90 において、回路領域に対応する材料を射出するための複数の孔の配置は、実際に製造する線状素子の断面構造に応じて適宜設定すればよく、必ずしも常にゲート電極材料を射出するための孔を中心に配置する必要はない。

## 【0043】

各原料容器から熔融あるいは溶解状態、ゲル状態の原料を型 85 に送入し、型から原料を射出すると、各孔から原料は射出し、固化する。その端を引っ張ることにより、糸状に連続して線状発光素子が形成される。

## 【0044】

線状素子は、ローラ 87 で巻き取る。あるいは必要に応じて次の工程に糸状のまま送る。例えば、ドーピング処理部 88 において、酸素イオンを注入、加熱し、絶縁分離領域を形成したり、電極形成処理部 89 において、導電性ポリマーの塗布などにより、ソース電極 7 やドレイン電極 8 を形成する。

## 【0045】

(イメージセンサーの配線形成方法)

図 6 は、本発明のイメージセンサーの配線形成方法に係り、(a) は、配線形成工程におけるイメージセンサーの斜視図であり、(b) 乃至 (e) は、配線形成工程の工程順断面図である。

## 【0046】

最初に、例えば、ガラス、又はプラスチックからなる基板 91 上に光反応性有機膜 92 を回転塗布法などにより形成する (図 6 (b))。光反応性有機膜として、例えば、光照射により絶縁体に変化する有機材料を使用する。次に、複数の線状素子 93 を光反応性有機膜 92 の上に配置する。配置される線状素子は、予め、専用の検査装置で DC 試験や機能試験を行い、良品の線状素子のみ選択してある (図 6 (a) 及び (c))。次に、線状素子 93 の電極部に位置合わせを行ったマスク 94 を介して、紫外線などの光を光反応性有機膜 92 に対し照射する (図 6 (d))。次に、加熱により光反応性有機膜に含まれる光反応開始剤を蒸発させることにより、光反応性有機膜 92 中に導電性領域 95 と絶縁性領域 96 を形成する (図 6 (e))。

## 【0047】

図 6 においては、平面基板上に線状素子を配置した場合の配線形成方法を説明したが、円筒上の基板に線状素子を配置したり、あるいは、柔軟性のある基板に線状素子を配置して配線形成後に基板を円筒状に変形させることで、円筒状あるいは線状のイメージセンサーを作製することも可能である。線状のイメージセンサーは、光ファイバーの先端に接続して、内視鏡などのファイバースコープとして使用することもできる。従来のリジッドな基板上に作製したイメージセンサーと異なり、イメージセンサー自身に柔軟性があり、折り

曲げても正常に機能するという利点がある。

【図面の簡単な説明】

【0048】

【図1】イメージセンサーの基本構成を説明するための回路図である。

【図2】本発明のイメージセンサーを構成する線状素子の斜視図である。

【図3】(a)乃至(e)は、本発明のイメージセンサーを構成する線状素子の断面図である。

【図4】本発明のイメージセンサーの斜視図である。

【図5】(a)は、本発明のイメージセンサーを構成する線状素子の製造に用いられる押し出し装置を示す正面図であり、(b)は、本発明のイメージセンサーを構成する線状素子の製造に用いられる押し出し装置で使用される型の平面図である。

【図6】本発明のイメージセンサーの配線形成方法に係り、(a)は、配線形成工程におけるイメージセンサーの斜視図であり、(b)乃至(e)は、配線形成工程の工程順断面図である。

【図7】(a)は、従来のイメージセンサーを構成する平面状素子の断面図であり、(b)は、イメージセンサーの回路図の一部であり、(c)は、(b)に対応する従来のイメージセンサーの平面図である。

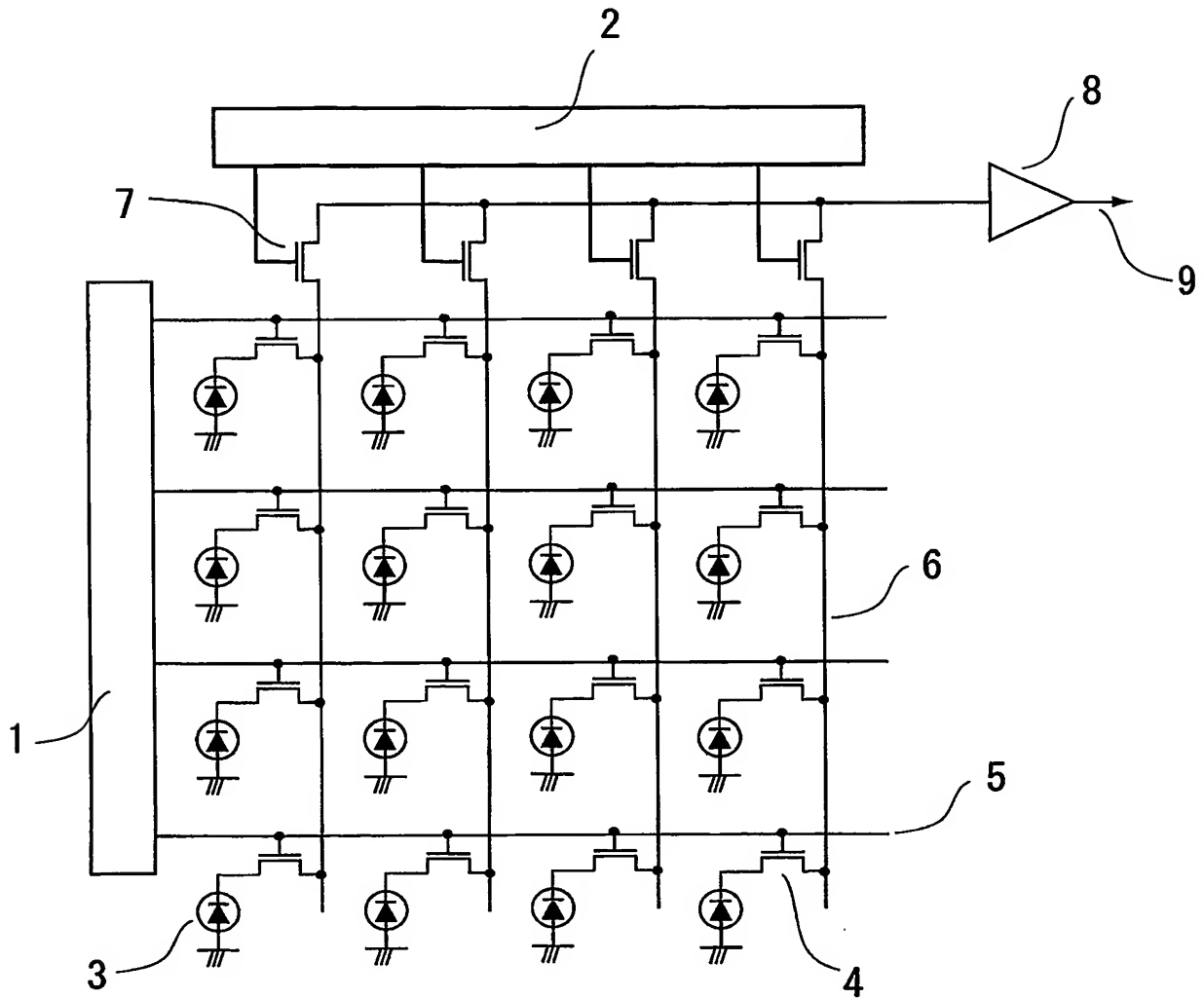
【符号の説明】

【0049】

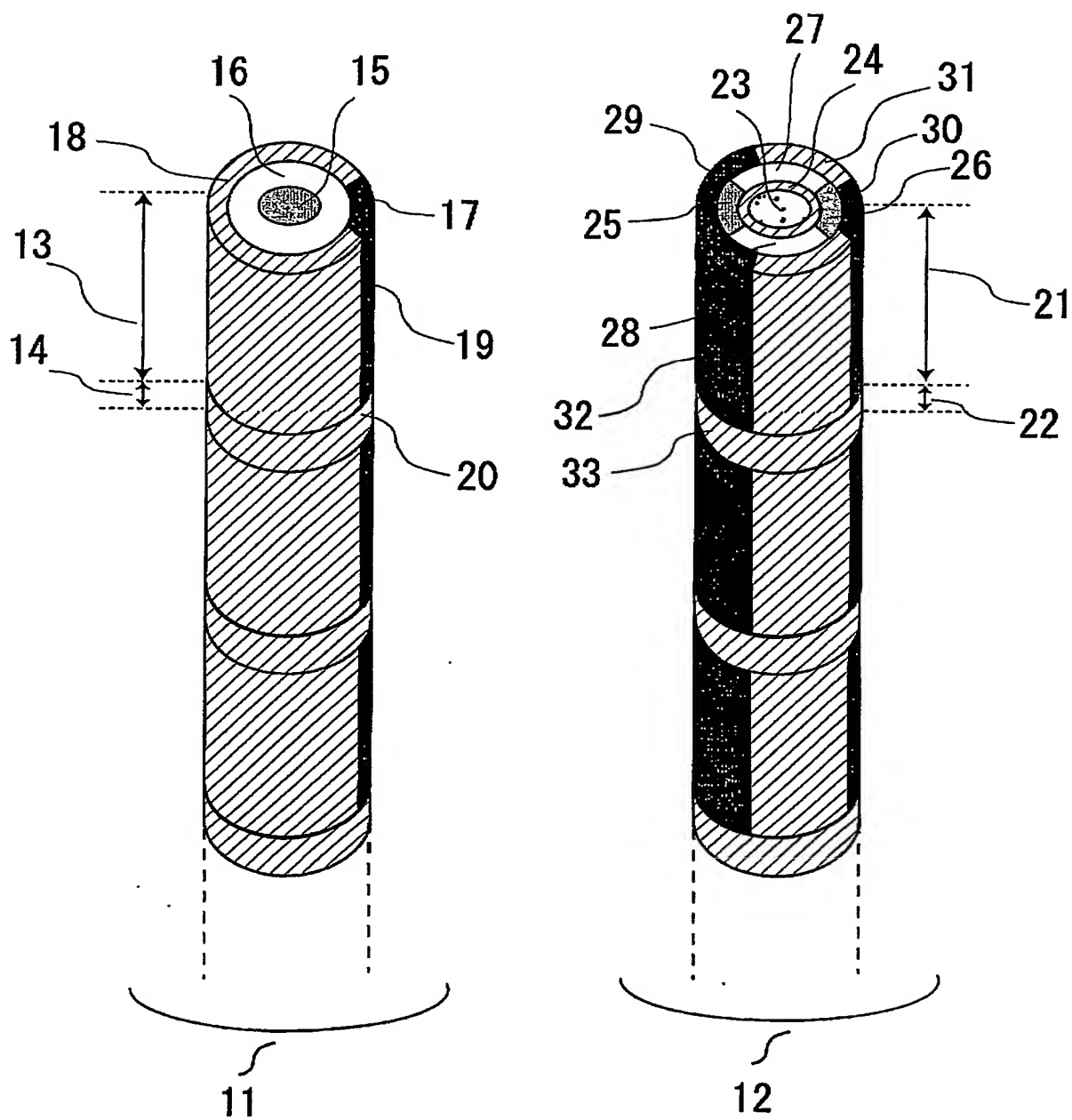
- 1 垂直走査回路
- 2 水平走査回路
- 3 フォトダイオード
- 4 垂直スイッチMISFET
- 5 垂直選択線
- 6、7 3 垂直信号線
- 7 水平スイッチMISFET
- 8 出力アンプ
- 9 出力線
- 11、71 線状フォトダイオード
- 12、72 線状MISFET
- 13、21 素子領域
- 14、20、22 絶縁分離領域
- 15、55、59 アノード領域
- 16、56 カソード領域
- 17、19、58 カソード電極
- 18、31、49、50、52、53、54、57、60、61、67 絶縁体領域
- 23、41、51、62 ゲート電極
- 24、42、63 ゲート絶縁領域
- 25、43、64 ソース領域
- 26、44 ドレイン領域
- 27、28、45、46、65 半導体領域
- 29、47、66 ソース電極
- 30、48 ドレイン電極
- 74 ドレインコンタクト
- 81 押し出し装置
- 82 原料1容器
- 83 原料2容器
- 84 原料3容器
- 85、90 型
- 86 線状素子

- 8 7 ローラ
- 8 8 ドーピング処理部
- 8 9 電極形成処理部
- 9 1 基板
- 9 2 光反応性有機膜
- 9 3 線状素子
- 9 4 マスク
- 9 5 導電性領域
- 9 6 絶縁性領域
- 1 0 1 平面基板
- 1 0 2 絶縁分離領域
- 1 0 3 ソース領域
- 1 0 4 ドレイン領域
- 1 0 5 ゲート絶縁膜
- 1 0 6 ゲート電極
- 1 0 7 ソース電極
- 1 0 8 ドレイン電極
- 1 0 9 カソード領域
- 1 1 0 カソード電極
- 1 1 1 層間絶縁膜
- 1 1 2 フォトダイオード
- 1 1 3 垂直スイッチMISFET
- 1 1 4 垂直選択線
- 1 1 5 垂直信号線
- 1 1 6 フォトダイオード
- 1 1 7 MISFET
- 1 1 8 ゲート電極
- 1 1 9 ドレイン配線

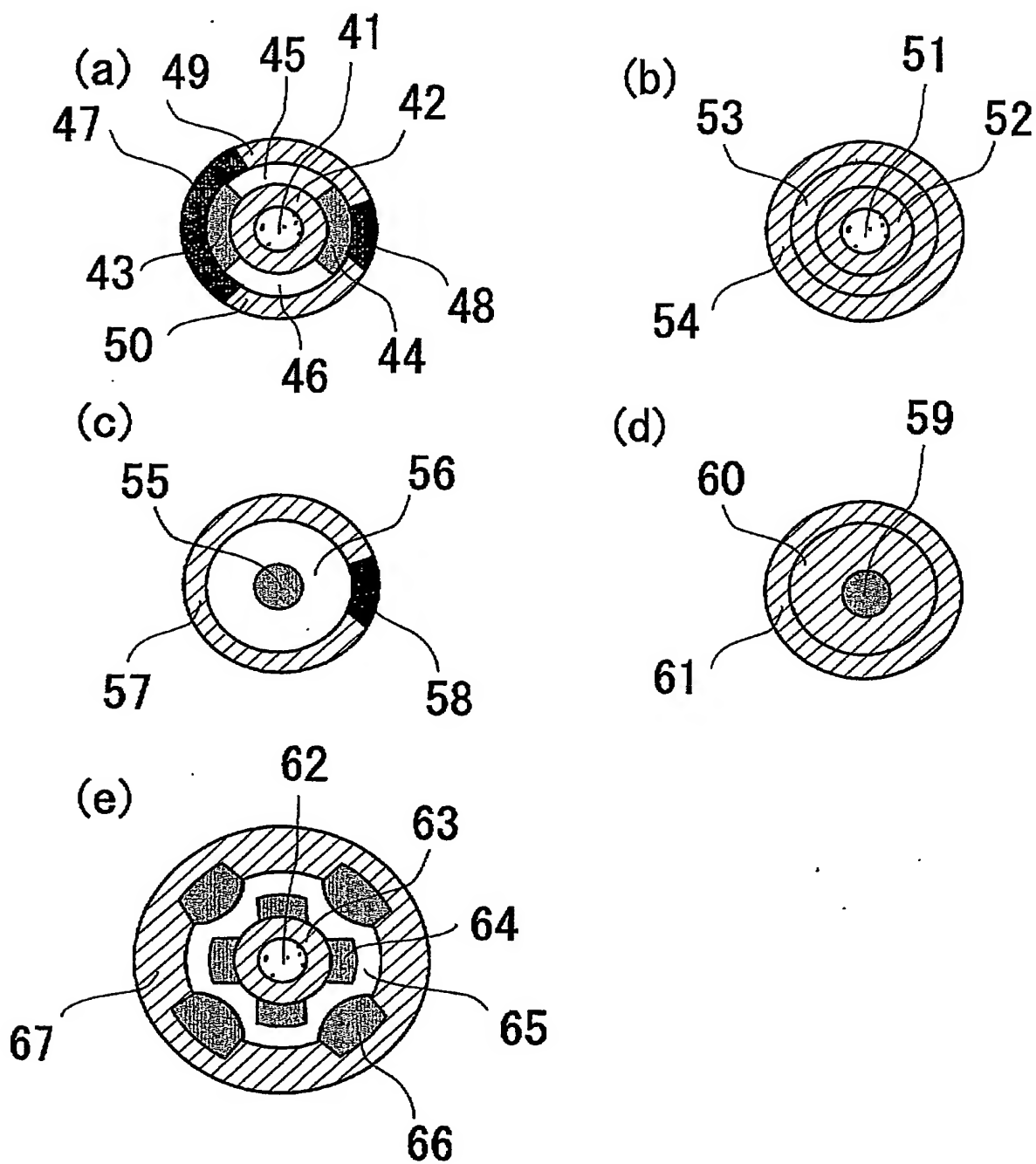
【書類名】 図面  
【図 1】



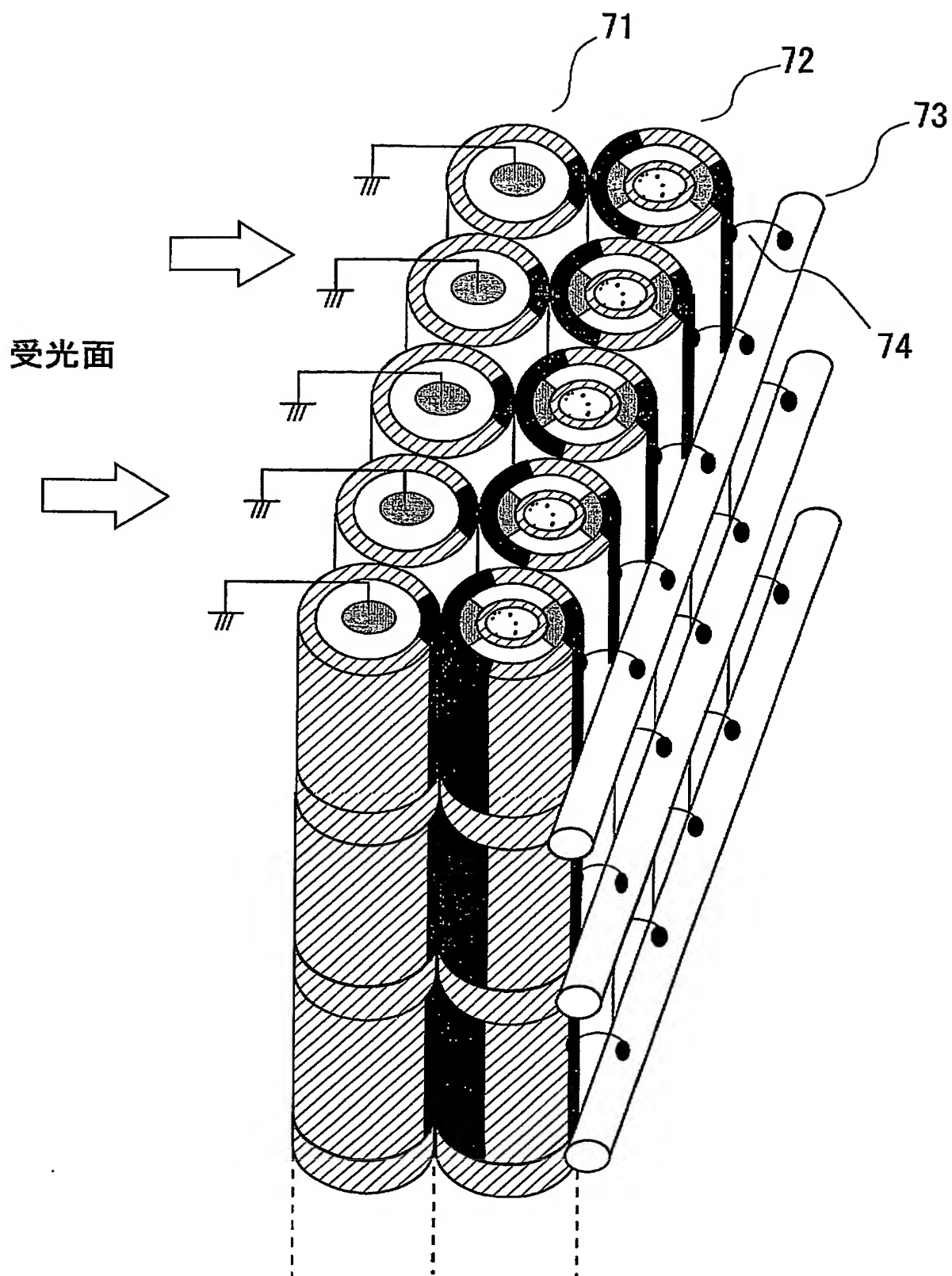
【図 2】



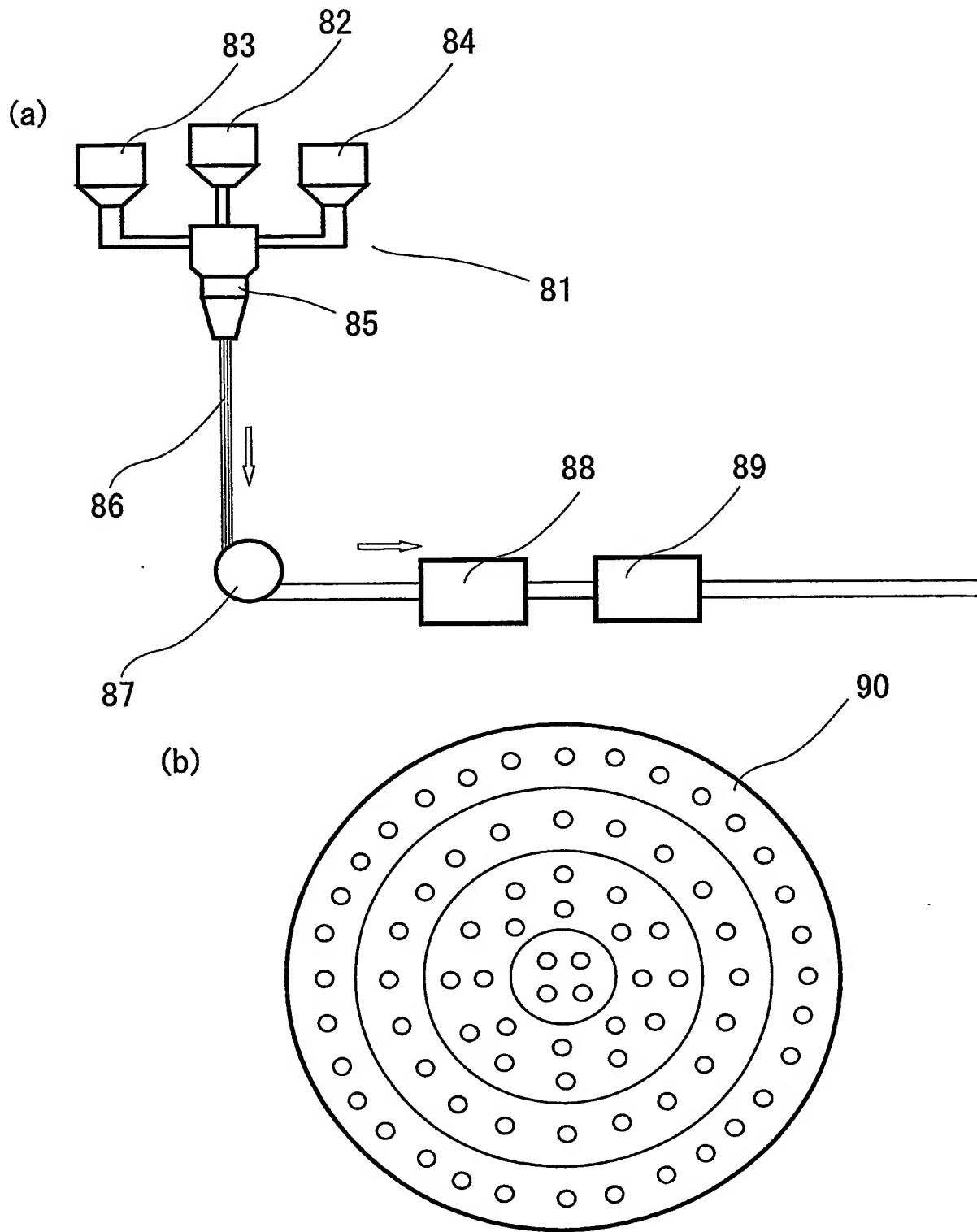
【図 3】



【図 4】

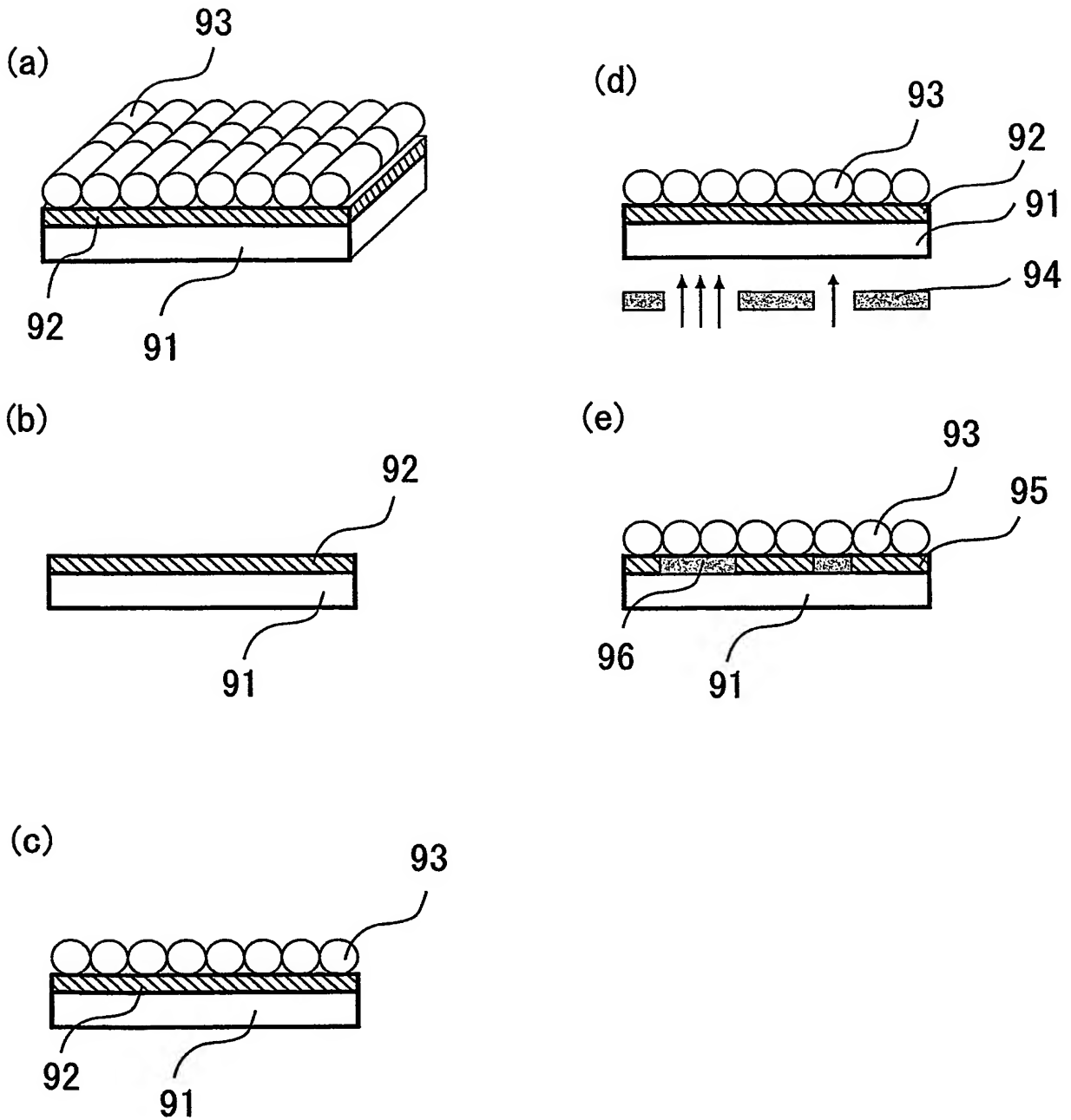


【図 5】

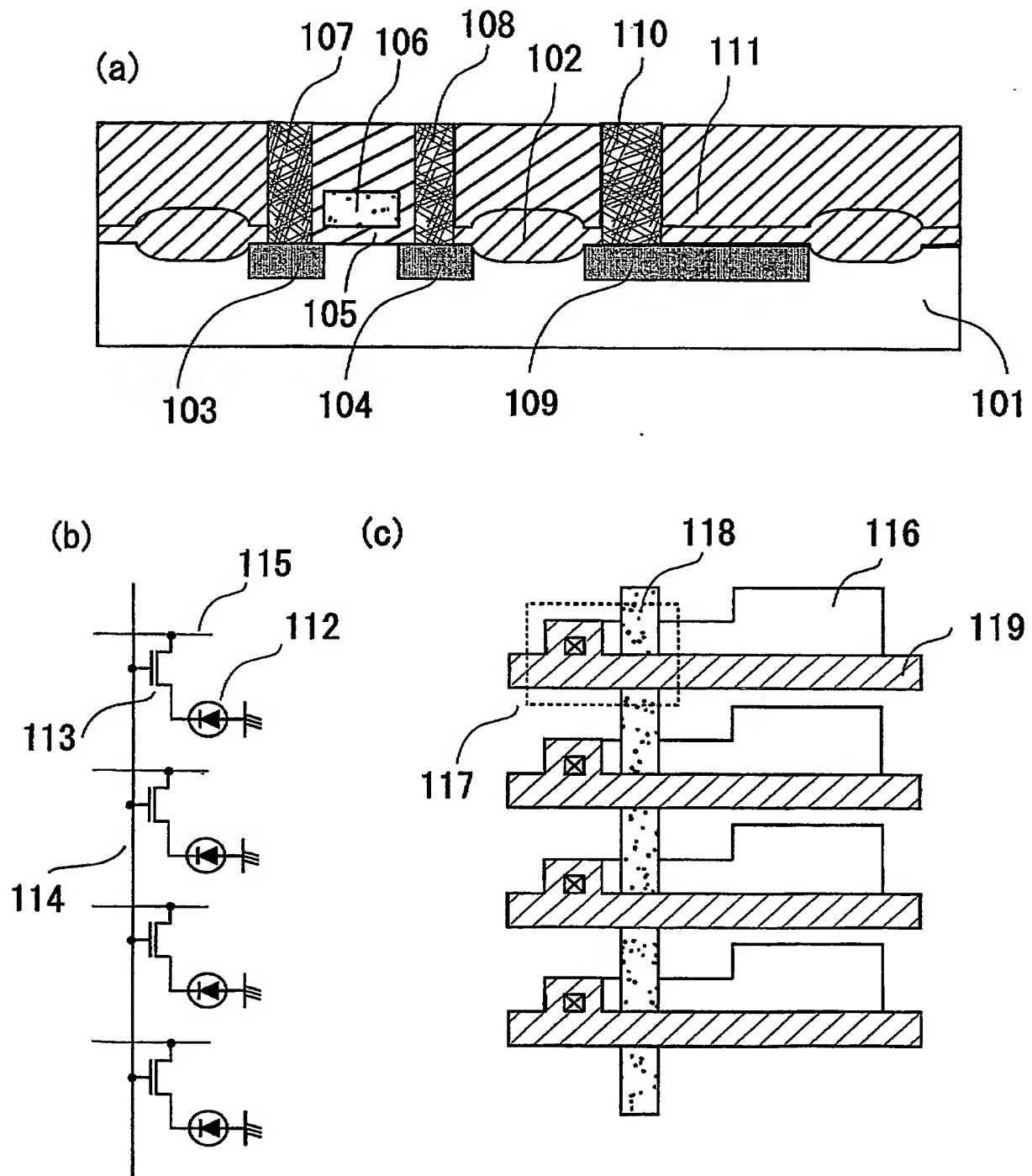




【図 6】



【図 7】



**【書類名】 要約書****【要約】**

**【課題】**従来のイメージセンサーは、シリコン基板などリジッドで平面状の基板に形成されていた。そのため、形状に柔軟性がなく、応用が限定されていた。また、複数の回路素子を平面上に連続して形成しているため、すべての回路素子を欠陥なく作製しないと良品のイメージセンサーを製造することができず、歩留まり向上が困難であった。

**【解決手段】**線状素子を布状に織る、または編むことにより、平面状のイメージセンサーを作製したり、線状素子を束ねて線状のイメージセンサーを作製することにした。線状素子からなるイメージセンサーは、柔軟性があり軽いので多様な用途に用いることができる。一度、線状素子を作製して、良品の線状素子のみ選択してイメージセンサーを作製できるので、イメージセンサーの製造歩留まりが向上する。

**【選択図】**

図 4

特願 2 0 0 3 - 3 7 1 6 4 0

出 願 人 履 歴 情 報

識別番号

[ 5 0 2 3 4 4 1 7 8 ]

1. 変更年月日  
[変更理由]

2 0 0 2 年 9 月 2 0 日

新規登録

住 所  
氏 名

宮城県仙台市青葉区南吉成六丁目 6 番地の 3  
株式会社イデアルスター